

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平5-13665

(43) 公開日 平成5年(1993)1月22日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 25/065				
25/07				
25/18				
21/60	3 0 1 A	6918-4M		
		7220-4M		
			H 0 1 L 25/08	Z

審査請求 未請求 請求項の数2(全 3 頁) 最終頁に続く

(21) 出願番号 特願平3-183498

(22) 出願日 平成3年(1991)6月28日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 山内 節美

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 河住 優

東京都港区芝五丁目7番1号 日本電気株式会社内

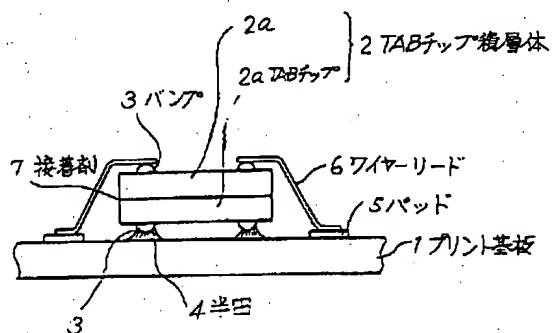
(74) 代理人 弁理士 菅野 中

(54) 【発明の名称】 TABチップ実装方法

(57) 【要約】

【目的】 プリント基板上でのTABチップの実装率を向上する。

【構成】 TABチップ2a, 2aを上下に重ねさせてプリント基板1上に実装することにより、チップ2aのプリント基板1上での実装率を向上する。



1

【特許請求の範囲】

【請求項1】 少なくとも2個のTABチップを上下に重ね合せ、これらをプリント基板上に実装することを特徴とするTABチップ実装方法。

【請求項2】 前記2個のTABチップは、バンパが設けられていない端面同士を突き合せ、TABチップ積層体の上下端面にバンパを配置して重ね合せることを特徴とする請求項1に記載のTABチップ実装方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はパッケージに関し、特にTABチップの実装方法に関する。

【0002】

【従来の技術】 従来、TABチップの実装方法に関しては図2に示すように、TABチップ2をプリント基板1上に並列に置き、チップ2のバンパ3をプリント基板1に半田4により接続する方法であった。

【0003】

【発明が解決しようとする課題】 この従来の実装方法は、TABチップを並列に実装するため、実装面積が広く必要であるという問題点があった。

【0004】 本発明の目的は、前記課題を解決したTABチップ実装方法を提供することにある。

【0005】

【課題を解決するための手段】 前記目的を達成するため、本発明に係るTABチップ実装方法においては、少なくとも2個のTABチップを上下に重ね合せ、これらをプリント基板上に実装するものである。

【0006】 また、前記2個のTABチップは、バンパが設けられていない端面同士を突き合せ、TABチップ積層体の上下端面にバンパを配置して重ね合せるものである。

【0007】

【作用】 本発明では、TABチップを上下方向に重ね合

2

せて実装することにより、横方向の寸法を縮小させたものである。

【0008】

【実施例】 以下、本発明の一実施例を図により説明する。

【0009】 図1は、本発明の一実施例を示す図である。図1において、本実施例では、少なくとも2個のTABチップ2a、2aは、バンパ3が設けられていない端面同士を突き合せて接着剤7で接合し、TABチップ積層体2の上下端面にバンパ3を配置して重ね合せる。

【0010】 次いで、下段のTABチップ2aのバンパ3をプリント基板1に半田4で接合させる。

【0011】 一方、上段のTABチップ2aのバンパ3にはワイヤーリード6の一端を接合し、ワイヤーリード6の他端を、プリント基板1のパッドに接合することにより、実装を完了させる。

【0012】

【発明の効果】 以上説明したように本発明は、TABチップを上下に重ね合わせるにより、プリント基板上での実装率を向上できるとともに、プリント基板上でのTABチップ実装面積を実質的に縮小できる。

【図面の簡単な説明】

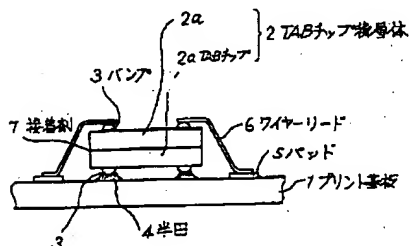
【図1】 本発明の一実施例を示す図である。

【図2】 従来例を示す図である。

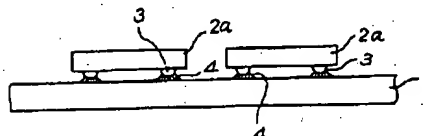
【符号の説明】

- 1 プリント基板
- 2 TABチップ積層体
- 2a TABチップ
- 3 バンパ
- 4 半田
- 5 パッド
- 6 ワイヤーリード
- 7 接着剤

【図1】



【図2】



(3)

特開平5-13665

フロントページの続き

(51) Int. Cl.⁵

H05K 1/18

識別記号

庁内整理番号

F I

技術表示箇所

S 6736-4E

[Translation]

(19) Japanese Patent Office (JP) (12) Official Gazette for Kokai Patent Applications (A)
(11) Japanese Patent Application Kokai Publication No. Hei 5-13665
(43) Kokai Publication Date: January 22, 1993

(51) Int. Cl. ⁵	Identification No.	JPO File No.	FI	Tech. Ind.
H 01 L25/065				
25/07				
25/18				
21/60	301 A	6918-4M		
		7220-4M	H01L 25/08	

Examination request: Not on filed Number of claims: 2 (total 3 pages [original]) continued on last page

(21) Application No. Hei 3-183498	(71) Applicant: 000004237 NEC Corp. 5-7-1 Shiba, Minato-ku, Tokyo
(22) Filing Date: June 28, 1991	(72) Inventor: YAMAUCHI, FUSHIMI c/o NEC Corp., 5-7-1 Shiba, Minato-ku, Tokyo (72) Inventor: KAWAZUMI, Masaru c/o NEC Corp., 5-7-1 Shiba, Minato-ku, Tokyo (74) Agent: Naka Sugamoto, patent attorney

(54) Title of the Invention: METHOD FOR MOUNTING TAB CHIP

(57) [Abstract]

[Purpose] To increase the mounting rate of TAB chips on printed boards.

[Solution] TAB chips 2a and 2a are vertically stacked and mounted on a printed substrate 1, thereby improving the mounting rate of chips 2a on printed substrate 1.

[In figure]

1: printed substrate; 2: TAB chip stacked body, 2a: TAB chip, 3: bump 4: solder 5: pad, 6: wire lead, 7: adhesive

[Claims]

[Claim 1] A method for mounting TAB chips, said method characterized by the fact that at least two TAB chips are vertically stacked and these are mounted on a printed substrate.

[Claim 2] A method for mounting TAB chips according to claim 1, said method further

characterized by the fact that said two TAB chips are stacked so that the end faces thereof not having bumps are facing each other and the bumps are arranged on the upper and lower faces of the TAB chip stacked body.

(Detailed Description of the Invention)

(0001)

(Industrial Field of Application) The present invention concerns packages, more specifically, a method of mounting TAB chips.

(0002)

(Prior Art) In TAB chip mounting methods heretofore, as shown in Figure 2, TAB chips. 2 are arranged in parallel on a printed substrate 1, and bumps 3 on the chips 2 have been connected to the printed substrate 1 by solder 4.

(0003)

(Problems That the Invention Is to Solve) In such conventional mounting methods, there has been a problem that a large mounting surface area has been required for parallel mounting of the TAB chips.

(0004) The purpose of the present invention is to offer a TAB chip mounting method that solves the aforesaid problem.

(0005)

(Means Used to Solve the Problems) In order to solve the aforesaid problem, in the method for mounting TAB chips according to the present invention, at least two TAB chips are vertically stacked and these are mounted on a printed substrate.

(0006) Moreover, the aforesaid two TAB chips are stacked so that the end faces thereof not having bumps are facing each other and the bumps are arranged on the upper and lower faces of the TAB chip stacked body.

(0007)

(Operation) In the present invention, by stacking the TAB chips vertically and mounting them, the dimensions in the horizontal direction can be shrunk.

(0008)

(Working Example) Next, a working example of the present invention is explained referring to the drawings.

(0009) Figure 1 is a drawing showing a working example of the present invention. In Figure 1, in the working example at least two TAB chips 2a and 2a part are bonded with an adhesive 7 so that the faces without bumps are facing each other, and stacked so that bumps 3 are arranged on the upper and lower faces of the TAB chip stacked body 2.

(0010) Next, the bumps 3 on the lower TAB chip 2a are bonded with solder 4 to the printed substrate 1.

(0011) Meanwhile, one end of a wire lead 6 is attached to a bump 3 on the cover TAB chip 2a, and the other end of a wire lead 6 is attached to a pad on a printed substrate 1, and thereby mounting is completed.

(0011)

(Effect of the Invention) As explained above, the present invention by vertically stacking TAB chips is able to improve the mounting rate on a printed substrate and substantially shrink the TAB chip mounting area on a printed substrate.

(Brief Explanation of the Drawings)

(Figure 1) is a drawing showing a working example of the present invention.

(Figure 2) is a drawing showing a conventional example.

(Explanation of the Reference Numerals)

1: printed substrate

2: TAB chip stacked body

2a: TAB chip

3: bump

4: solder

5: pad

6: wire lead

7: adhesive

Figure 1

1: printed substrate; 2: TAB chip stacked body, 2a: TAB chip, 3: bump 4: solder 5: pad, 6: wire lead, 7: adhesive

Continued from front page

(51) Int. Cl.⁵
H 05 K 1/18

Identification No.

JPO File No.
S 6736-4E

FI

Tech. Ind.